

[Painel do utilizador](#) / [Minhas disciplinas](#) / [CPeD-LEI](#) / [AULA 02 - 10 e 15/03](#)

/ [Auto-avaliação da aula 02 - Arquiteturas da Computação Paralela Parte 1 \(até slide 29/175\)](#)

Iniciada quinta-feira, 17 de março de 2022 às 19:59

Estado Terminada

Terminada quinta-feira, 17 de março de 2022 às 20:02

Tempo gasto 3 minutos 31 segundos

Nota 6,0/6,0

Nota **20,0** num máximo de 20,0 (**100%**)

Pergunta **1**

Correta

Nota: 1,0 em 1,0

Sobre a taxonomia de Flynn, faça a correspondência adequada:

Em cada passo do processamento, uma instrução é aplicada sobre um só valor

SISD



Em cada passo do processamento, a mesma instrução é aplicada sobre vários valores

SIMD



Em cada passo do processamento, várias instruções são aplicadas sobre vários valores

MIMD



Em cada passo do processamento, múltiplas instruções são aplicadas sobre um só valor

MISD



Pergunta **2**

Correta

Nota: 1,0 em 1,0

A integração de caches no chip da CPU não melhora o problema da barreira de memória (*Memory Wall*), porque continua sendo memória com desvantagem no tempo de acesso em relação à velocidade da CPU.

Selecione uma opção:

Verdadeiro

Falso

Pergunta **3**

Correta

Nota: 1,0 em 1,0

A lógica de controlo para um processamento ILP (*Instruction-Level Parallelism*) não requer hardware de alta complexidade.

Selecione uma opção:

Verdadeiro

Falso

Pergunta **4**

Correta

Nota: 1,0 em 1,0

GPUs são baseadas na classe onde, em cada passo do processamento, a mesma instrução é aplicada a vários valores.

Selecione uma opção:

- Verdadeiro ✓
- Falso

Pergunta **5**

Correta

Nota: 1,0 em 1,0

O número de transístores num processador é uma indicação grosseira do seu desempenho e complexidade

Selecione uma opção:

- Verdadeiro ✓
- Falso

Pergunta **6**

Correta

Nota: 1,0 em 1,0

Assinale a alternativa menos correta sobre caches:

- a. Em sistemas multi-núcleos, cada acesso de leitura deve retornar o valor mais recentemente escrito
- b. Em sistemas multi-núcleos, cada núcleo deve ter uma visão coerente do sistema de memória (cache + RAM)
- c. Tipicamente são utilizados vários níveis de cache, onde o L1 é o nível mais pequeno, rápido e caro e está mais próximo do processamento
- d. O processador sempre verifica se o dado requisitado está na cache antes de tentar aceder à memória RAM
- e. Caches são memórias DRAM mais pequenas e embebidas no chip do processador ✓

[◀ Transcrição da Aula 02 para o Português \(Portuguese transcription of lesson 02\)](#)

Ir para...

[TPC 02: Arquiteturas da Computação Paralela Parte I \(disponível de terça-feira \(15 de Março\) 15:00 a domingo \(27 de Março\) 23:59\) ▶](#)